

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-313257

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

H04N 5/335
H01L 27/146

(21)Application number : 10-120251

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 30.04.1998

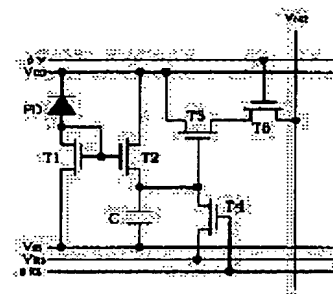
(72)Inventor : NAKAMURA SATOYUKI
TAKADA KENJI
HAGIWARA YOSHIO
MIYATAKE SHIGEHIO

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device excellent in S/N and wide in dynamic range and capable of obtaining a high pixel output.

SOLUTION: This device is configured by arranging pixels in a matrix. In this case, each pixel of the device is made up of a photoelectric conversion photoelectric diode PD, a MOS transistor(TR) T1 that converts its output current into a logarithmically transformed voltage, a MOS TR T2 whose gate receives the logarithmically transformed voltage, a capacitor C whose one-side terminal connects to a source of the MOS TR T2 to receive an output current from the source and whose other terminal connects to a DC voltage line Vss, a MOS TR T3 that amplifies an output of the capacitor C, and a guide path through which the amplified signal is led to an output signal line.



LEGAL STATUS

[Date of request for examination]

14.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

B

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 1 1 - 3 1 3 2 5 7

(43)公開日 平成11年(1999)11月9日

(51)Int. Cl.⁶

識別記号

F I

H 0 4 N 5/335

H 0 4 N 5/335

E

H 0 1 L 27/146

H 0 1 L 27/14

A

審査請求 未請求 請求項の数 2 3

O L

(全 1 8 頁)

(21)出願番号 特願平10-120251

(22)出願日 平成10年(1998)4月30日

(71)出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号

大阪国際ビル

(72)発明者 中村 里之

大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(72)発明者 高田 謙二

大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(74)代理人 弁理士 佐野 静夫

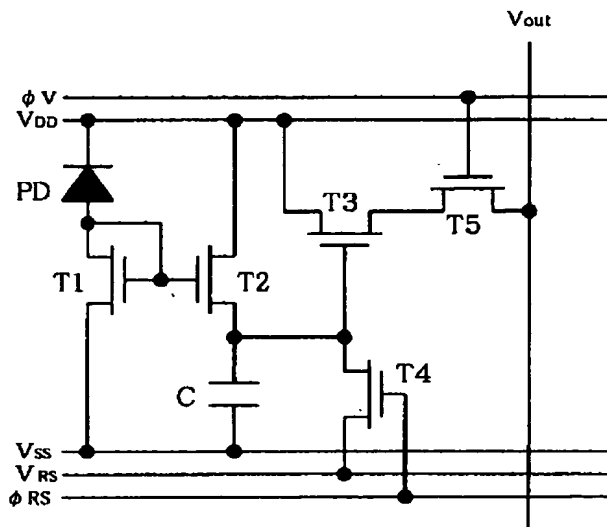
最終頁に続く

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】画素の出力を大きく得ることができ、S/Nの良好で、ダイナミックレンジの広い固体撮像装置を提供する。

【解決手段】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、光電変換用のフォトダイオードPDと；その出力電流を対数変換した電圧に変換するMOSトランジスタT1と；対数変換された出力電圧がゲートに印加されるMOSトランジスタT2と；一端が前記MOSトランジスタの第2電極から出力電流を受けるように接続され他端が直流電圧に接続されたキャパシタCと；キャパシタの出力を増幅するMOSトランジスタT3と、増幅された信号を出力信号線へ導出する手段とから成っている。



【特許請求の範囲】

【請求項 1】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が以下のものを含むことを特徴とする固体撮像装置：光電変換素子と、前記光電変換素子の出力電流を対数変換した電圧に変換する対数変換手段と、第 1 電極と第 2 電極と制御電極とを備え、この制御電極に前記対数変換手段の出力電圧が印加されるトランジスタと、一端が前記トランジスタの第 2 電極から出力電流を受けるキャパシタと、前記キャパシタの出力を増幅する増幅器と、増幅された信号を出力信号線へ導出する導出路。

【請求項 2】前記増幅器は、前記キャパシタからの出力を、前記キャパシタに蓄積された電荷に比例して電流増幅するものであることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】前記増幅器は、第 1 電極と第 2 電極と前記キャパシタの出力が印加される制御電極とを有する増幅用トランジスタと、前記増幅用トランジスタの第 2 電極に通じる出力信号線に接続された負荷抵抗とを含む請求項 1 又は請求項 2 に記載の固体撮像装置。

【請求項 4】前記負荷抵抗の総数が全画素数より少ないことを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】前記導出路は、前記増幅用トランジスタの第 2 電極に接続されていることを特徴とする請求項 3 又は請求項 4 に記載の固体撮像装置。

【請求項 6】前記負荷抵抗は、前記増幅用トランジスタの第 2 電極に接続された第 1 電極と、直流電圧に接続された第 2 電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタであることを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 7】前記増幅用トランジスタが n チャンネル MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも高電位であることを特徴とする請求項 6 に記載の固体撮像装置。

【請求項 8】前記増幅用トランジスタが p チャンネル MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも低電位であることを特徴とする請求項 6 に記載の固体撮像装置。

【請求項 9】前記導出路は、全画素の中から所定のものを順次選択し、選択された画素から増幅された信号を出力信号線に導出するスイッチを含むことを特徴とする請求項 1 ～請求項 8 のいずれかに記載の固体撮像装置。

【請求項 10】前記キャパシタの出力を導出する間に次の積分を行う第 2 のキャパシタをさらに備えることを特徴とする請求項 1 ～請求項 9 のいずれかに記載の固体撮像装置。

【請求項 11】前記キャパシタへの電流入力路にスイッ

チを設け、このスイッチを全画素で同時制御して全画素の積分時間を同一にしたことを特徴とする請求項 1 又は請求項 2 に記載の固体撮像装置。

【請求項 12】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が以下のものからなっていることを特徴とする固体撮像装置：フォトダイオードと、

前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッショルド領域で動作する第 1 MOS トランジスタと、ゲートが第 1 MOS トランジスタのゲートに接続され第 1 電極が直流電圧に接続されサブスレッショルド領域で動作する第 2 MOS トランジスタと、

一端が第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電荷に基づく信号を積分するキャパシタと、

前記キャパシタの一端にゲートが接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと、

前記キャパシタの前記一端に第 1 電極が接続され第 2 電極が直流電圧に接続されているとともにゲートにリセット信号が入力されたとき ON して前記キャパシタを初期状態にリセットする第 4 MOS トランジスタと、第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第 5 MOS トランジスタ。

【請求項 13】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が以下のものからなっていることを特徴とする固体撮像装置：フォトダイオードと、

前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッショルド領域で動作する第 1 MOS トランジスタと、

ゲートが第 1 MOS トランジスタのゲートに接続されサブスレッショルド領域で動作する第 2 MOS トランジスタと、

一端が第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続されるとともに第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに第 2 MOS トランジスタを介してリセットされるキャパシタと、

前記キャパシタの一端にゲートが接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと、

第 1 電極が第 3 MOS トランジスタの第 2 電極に接続され第 2 電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第 5 MOS トランジスタ。

【請求項 14】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が以下のものからなっていることを特徴とする固体撮像装置：フォトダイオー

ドと、

前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSトランジスタと、
ゲートが第1MOSトランジスタのゲートに接続され第1電極が直流電圧に接続されサブスレッショルド領域で動作する第2MOSトランジスタと、
一端が第2MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電荷に基づく信号を積分するキャパシタと、
前記キャパシタの一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3MOSトランジスタと、
前記キャパシタの一端に第1電極が接続され第2電極が直流電圧に接続されゲートに直流電圧が印加されて常時ONする第4MOSトランジスタと、
第3MOSトランジスタの第2電極に第1電極が接続され第2電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第5MOSトランジスタ。

【請求項15】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、
フォトダイオードと、
前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSトランジスタと、
ゲートが第1MOSトランジスタのゲートに接続されるとともに第1電極が直流電圧に接続されサブスレッショルド領域で動作する第2MOSトランジスタと、
第1電極が第2MOSトランジスタの第2電極に接続されゲートにスイッチング電圧が印加される第6MOSトランジスタと、
一端が第6MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分するキャパシタと、
前記キャパシタの一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3MOSトランジスタと、
前記キャパシタの前記一端に第1電極が接続され第2電極が直流電圧に接続されているとともにゲートにリセット信号が入力されたときONして前記キャパシタを初期状態にリセットする第4MOSトランジスタと、
第3MOSトランジスタの第2電極に第1電極が接続され第2電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第5MOSトランジスタと、
から成り、第6MOSトランジスタをOFFして前記キャパシタの積分を停止した状態で前記キャパシタに蓄積された電荷に基づく信号を第3MOSトランジスタで増幅して読み出すようにしたことを特徴とする固体撮像装置。

【請求項16】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、
フォトダイオードと、
前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSトランジスタと、
ゲートが第1MOSトランジスタのゲートに接続され第1電極にクロックが印加されサブスレッショルド領域で動作する第2MOSトランジスタと、
一端が第1スイッチを介して第2MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分するキャパシタと、
ゲートが前記キャパシタの一端に接続され第1電極が直流電圧に接続されて増幅器として動作する第3MOSトランジスタと、
一端が第3MOSトランジスタの第2電極に接続され他端が出力信号線に接続された第2スイッチと、
から成り、第1スイッチをON状態にして前記キャパシタへ第2MOSトランジスタの出力電流を供給して信号の積分を行ない、第1スイッチをOFFした状態で第2スイッチをONして前記キャパシタの信号を第3MOSトランジスタで増幅して出力信号線へ導出し、その後、第1スイッチをON状態にして第2MOSトランジスタの第1電極に印加される前記クロックのリセット電圧期間に第2MOSトランジスタと第1スイッチを通して前記キャパシタの初期化を行なうことを特徴とする固体撮像装置。

10

20

30

40

50

【請求項17】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、
フォトダイオードと、
前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSトランジスタと、
ゲートが第1MOSトランジスタのゲートに接続され第1電極にクロックが印加されサブスレッショルド領域で動作する第2MOSトランジスタと、
一端が第1スイッチを介して第2MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分するキャパシタと、
ゲートが前記キャパシタの一端に接続され第1電極が直流電圧に接続されて増幅器として動作する第3MOSトランジスタと、
一端が前記キャパシタの一端に接続され他端が直流電圧に接続されゲートにリセット信号が入力される第4MOSトランジスタと、
一端が第3MOSトランジスタの第2電極に接続され他端が出力信号線に接続された第2スイッチと、
から成り、第1スイッチをOFFして前記キャパシタの

信号を第3 MOSトランジスタで増幅して出力信号線へ読み出しているときに第2 MOSトランジスタの第2電極のクロックのリセット電圧期間に前記第2 MOSトランジスタの第2電極に関係するpn接合容量をリセットし、前記クロックの他のレベル期間に前記pn接合容量への信号の積分を開始させ、前記キャパシタの信号の読み出し終了後に第1スイッチをONさせて前記pn接合容量の蓄積電荷を前記キャパシタへ移送するとともに該キャパシタの積分を続行することを特徴とする固体撮像装置。

【請求項18】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと、前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1 MOSトランジスタと、ゲートが第1 MOSトランジスタのゲートに接続され第1電極に直流電圧が印加されサブスレッショルド領域で動作する第2 MOSトランジスタと、一端が第2 MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分する第1キャパシタと、一端が第1キャパシタの一端に接続された第1スイッチと、第1スイッチの他端に一端が接続され他端が直流電圧に接続された第2キャパシタと、第2キャパシタの前記一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3 MOSトランジスタと、第2キャパシタの一端に第1電極が接続され第2電極が直流電圧に接続されゲートにリセット信号が入力される第4 MOSトランジスタと、一端が第3 MOSトランジスタの第2電極に接続され他端が出力信号線に接続された第2スイッチとから成り、第1スイッチをOFF状態にして第2キャパシタの信号を第3 MOSトランジスタで増幅して出力信号線へ読み出しているときに第1キャパシタで次の積分を開始し、前記読み出し終了後、第4 MOSトランジスタをONして第2キャパシタをリセットした後、第1スイッチをONして第1キャパシタの電荷を第2キャパシタへ転送するとともに第2キャパシタの積分を続行することを特徴とする固体撮像装置。

【請求項19】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと、前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1 MOSトランジスタと、ゲートが第1 MOSトランジスタのゲートに接続され第1電極にクロックが印加されサブスレッショルド領域で

動作する第2 MOSトランジスタと、一端が第2 MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分する第1キャパシタと、一端が第1キャパシタの一端に接続された第1スイッチと、第1スイッチの他端に一端が接続され他端が直流電圧に接続された第2キャパシタと、第2キャパシタの一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3 MOSトランジスタと、一端が第3 MOSトランジスタの第2電極に接続され他端が出力信号線に接続された第2スイッチと、から成り、第1キャパシタで積分された電圧を第1スイッチをONして第2キャパシタに転送することで第1キャパシタのリセットを行ない、次いで第1スイッチをOFFして第2キャパシタの電荷に基づく信号を第3 MOSトランジスタで増幅して前記出力信号線へ読み出しているときに第1キャパシタで次の積分を行なうことを特徴とする固体撮像装置。

【請求項20】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと、前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1 MOSトランジスタと、ゲートが第1 MOSトランジスタのゲートに接続され第1電極にクロックが印加されサブスレッショルド領域で動作する第2 MOSトランジスタと、一端が第2 MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分する第1キャパシタと、一端が第1キャパシタの一端に接続された第1スイッチと、第1スイッチの他端に一端が接続され他端が直流電圧に接続された第2キャパシタと、第2キャパシタの一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3 MOSトランジスタと、第2キャパシタの一端に第1電極が接続され第2電極が直流電圧に接続されゲートにリセット電圧が印加される第4 MOSトランジスタと、一端が第3 MOSトランジスタの第2電極に接続され他端が出力信号線に接続された第2スイッチと、から成り、第1スイッチをOFFした状態で第2キャパシタの信号を第3 MOSトランジスタで増幅して読み出しているときに第2 MOSトランジスタの第2電極に印加されるクロックのリセット電圧レベル期間に第1キャパシタをリセットし、前記クロックの他のレベル期間に第1キャパシタの積分を開始し、読み出し終了後第4 M

OSTランジスタをONして第2キャパシタをリセットし、次に第1スイッチをONして第1キャパシタの電荷を第2キャパシタへ転送するとともに第2キャパシタの積分を継続することを特徴とする固体撮像装置。

【請求項21】前記画素に対し前記出力信号線を介して接続され前記第3MOSトランジスタのドレイン側で前記第3MOSトランジスタの負荷抵抗を成すMOSトランジスタを備えていることを特徴とする請求項12～請求項20のいずれかに記載の固体撮像装置。

【請求項22】画素マトリクス列ごとに、その列に含まれる各画素の第5MOSトランジスタに接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続されたゲートとを有する抵抗用MOSトランジスタをさらに備えたことを特徴とする請求項12～請求項15のいずれかに記載の固体撮像装置。

【請求項23】画素マトリクス列ごとに、その列に含まれる各画素の第2スイッチに接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続されたゲートとを有する抵抗用MOSトランジスタをさらに備えたことを特徴とする請求項16～請求項20のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像装置に関するものであり、特に画素を二次元に配置した固体撮像装置に関する。

【0002】

【従来の技術】フォトダイオード等の光電変換素子と、その光電変換素子で発生した光電荷を出力信号線へ取り出す手段とを含む画素をマトリクス状（行列状）に配してなる二次元固体撮像装置は種々の用途に供されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方MOS型はフォトダイオードのpn接合容量に蓄積した電荷をMOSトランジスタを通して直接読み出すようになっていた。

【0003】ここで、従来のMOS型固体撮像装置の1画素当りの構成を図24に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線Voutへ接続されている。またMOSトランジスタT1のドレインには直流電圧VDDが印加され、MOSトランジスタT2のソースとフォトダイオードPDのアノードには直流電圧Vssが印加されている。MOSトランジスタ

T2のゲートには直流電圧ΦBSが印加されている。

【0004】フォトダイオードPDに光が当たると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルスΦVを与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を通して出力信号線Voutへ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにしてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

【0005】

【発明が解決しようとする課題】このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、また光源の変動成分やノイズ成分が含まれたまま出力されてしまい、しかも出力信号は小さいレベルであるので、S/Nが悪く全体として高品質の撮像信号を得ることができないという欠点があった。

【0006】本発明はこのような点に鑑みなされたものであって、画素の出力を大きく得ることができる固体撮像装置を提供することを目的とする。また、本発明の他の目的はS/Nの良好な撮像信号を得ることができる固体撮像装置を提供することにある。更に他の目的はダイナミックレンジの広い固体撮像装置を提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するため請求項1に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、光電変換素子と；前記光電変換素子の出力電流を対数変換した電圧に変換する対数変換手段と；第1電極と第2電極と制御電極とを備え、この制御電極に前記対数変換手段の出力電圧が印加されるトランジスタと；一端が前記トランジスタの第2電極から出力電流を受けるキャパシタと；前記キャパシタの出力を増幅する増幅器と；増幅された信号を出力信号線へ導出する導出路とから成っている。

【0008】この構成によると、光電変換出力信号はキャパシタで積分されるので、光電変換出力信号に含まれる光源の変動成分や高周波のノイズはキャパシタで吸収され除去される。そして、これらの変動成分や高周波のノイズの除去された光電変換出力信号は更に増幅器で増幅され充分な大きさとなって出力されるので、感度の良い撮像信号となる。更に、この構成では対数圧縮変換によって固体撮像装置のダイナミックレンジが広がる。また、各画素ごとに光電変換手段とキャパシタと増幅器と導出手段が設けられているので、より正確に安定した

信号読み出しが可能である。

【0009】請求項3に記載するように、増幅器は第1電極と第2電極と前記キャパシタの出力が印加される制御電極とを有する増幅用トランジスタと、前記増幅用トランジスタの第2電極に通じる出力信号線に接続された負荷抵抗とを含むものであってもよい。この負荷抵抗は、いくつかの画素で兼用されていてもよい。従って、請求項4に記載するように、その総数が全画素数より少なくてもよい。また、増幅用トランジスタを用いる場合、請求項5に記載するように、前記導出路は増幅用トランジスタの第2電極に接続し、この第2電極から信号を導出すればよい。

【0010】負荷抵抗として請求項6に記載するように、増幅用トランジスタの第2電極に接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタを用いてもよい。増幅用トランジスタとしてMOSトランジスタを用いてもよい。nチャンネルMOSトランジスタを用いる場合、請求項7に記載するように、増幅用トランジスタの第1電極に印加される直流電圧を抵抗用トランジスタの第2電極に接続される直流電圧よりも高電位とすればよい。

【0011】増幅用トランジスタとしてpチャンネルMOSトランジスタを用いる場合、請求項8に記載するように、増幅用トランジスタの第1電極に印加される直流電圧を抵抗用トランジスタの第2電極に接続される直流電圧よりも低電位とすればよい。前記導出路としては、請求項9に記載するように、全画素の中から所定のものを順次選択し、選択された画素から増幅電圧を出力信号線に導出するスイッチを含むものを用いてもよい。請求項10に記載の発明では、第1キャパシタの出力を導出する間に、次の積分を行う第2のキャパシタを設けることにより、第1キャパシタの信号を読み出すと同時に第2キャパシタへの積分が可能となり、動画撮像に対応することが可能である。

【0012】また、請求項11に記載の発明では、前記キャパシタへの電流入力路にスイッチを設け、このスイッチを全画素で同時制御して全画素の積分時間を同一にしたことを特徴とする。本発明によれば、キャパシタに蓄積された電荷の読み出しのタイミングが行ごとに順次ずれることがなく、そのキャパシタの積分時間（及びタイミング）は全画素で同一であるので、画素間での読み出しずれに基づく信号の誤差といったものは生じない。

【0013】また、請求項12に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSトランジスタと；ゲートが第1MOSトランジスタのゲートに接続され第1電極が直流電圧に接続されサブスレッショル

ド領域で動作する第2MOSトランジスタと；一端が第2MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電荷に基づく信号を積分するキャパシタと；前記キャパシタの一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3MOSトランジスタと；前記キャパシタの前記一端に第1電極が接続され第2電極が直流電圧に接続されているとともにゲートにリセット信号が入力されたときONして前記キャパシタを初期状態にリセットする第4MOSトランジスタと；第3MOSトランジスタの第2電極に第1電極が接続され第2電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第5MOSトランジスタとから成っている。

【0014】このような構成によると、フォトダイオードで発生した光電流は第1MOSトランジスタで対数変換され、そのゲート電圧は対数変換電流に比例した電圧となる。この電圧によって第2MOSトランジスタを通してキャパシタが充電される。積分が終了した時点で第5MOSトランジスタがONされキャパシタの電圧が第3MOSトランジスタで増幅されて出力信号線へ導出される。その後、第4MOSトランジスタのゲートにリセットパルスが印加されると、キャパシタは初期化され、再びキャパシタによる積分が開始される。

【0015】また、請求項13に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSトランジスタと；ゲートが第1MOSトランジスタのゲートに接続されサブスレッショルド領域で動作する第2MOSトランジスタと；一端が第2MOSトランジスタの第2電極に接続され他端が直流電圧に接続されるとともに第2MOSトランジスタの第1電極にリセット電圧が与えられたときに第2MOSトランジスタを介してリセットされるキャパシタと；前記キャパシタの一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3MOSトランジスタと；第1電極が第3MOSトランジスタの第2電極に接続され第2電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第5MOSトランジスタとから成っている。

【0016】この構成では、キャパシタの積分やキャパシタ電圧の読み出しについては、上記請求項4の場合と同一であるが、キャパシタのリセットについては第2MOSトランジスタの第1電極にリセット電圧が与えられたとき、キャパシタの電荷が第2MOSトランジスタを通して放電されることによってなされる。

【0017】また、請求項14に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイ

オードの一方の電極に第 1 電極とゲート電極が接続されサブスレッシュヨルド領域で動作する第 1 MOS トランジスタと；ゲートが第 1 MOS トランジスタのゲートに接続され第 1 電極が直流電圧に接続されサブスレッシュヨルド領域で動作する第 2 MOS トランジスタと；一端が第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電荷に基づく信号を積分するキャパシタと；前記キャパシタの一端にゲートが接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと；前記キャパシタの一端に第 1 電極が接続され第 2 電極が直流電圧に接続されゲートに直流電圧が印加されて常時 ON する第 4 MOS トランジスタと；第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第 5 MOS トランジスタとから成っている。

【0018】この構成では、常時 ON する第 4 MOS トランジスタが抵抗と等価になり、キャパシタに所定値の抵抗が接続されていることになる。このためキャパシタの初期値が、その抵抗によって決まることになる。換言すれば、第 4 MOS トランジスタのゲート電極に加える直流電圧を変換することによって初期値を調整できることになる。

【0019】また、請求項 15 に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッシュヨルド領域で動作する第 1 MOS トランジスタと；ゲートが第 1 MOS トランジスタのゲートに接続されるとともに第 1 電極が直流電圧に接続されサブスレッシュヨルド領域で動作する第 2 MOS トランジスタと；第 1 電極が第 2 MOS トランジスタの第 2 電極に接続されゲートにスイッチング電圧が印加される第 6 MOS トランジスタと；一端が第 6 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分するキャパシタと；前記キャパシタの一端にゲートが接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと；前記キャパシタの前記一端に第 1 電極が接続され第 2 電極が直流電圧に接続されているとともにゲートにリセット信号が入力されたとき ON して前記キャパシタを初期状態にリセットする第 4 MOS トランジスタと；第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極が出力信号線に接続されゲート電極が行選択線に接続された読み出し用の第 5 MOS トランジスタとから成り、第 6 MOS トランジスタを OFF して前記キャパシタの積分を停止した状態で前記キャパシタに蓄積された電荷に基づく信号を第 3 MOS トランジスタで増幅して読み出すようにしている。

【0020】この構成では、全画素の第 6 MOS トラン

ジスタを同時制御することによって全画素の積分時間を同一にできる。

【0021】また、請求項 16 に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッシュヨルド領域で動作する第 1 MOS トランジスタと；ゲートが第 1 MOS トランジスタのゲートに接続され第 1 電極にクロックが印加されサブスレッシュヨルド領域で動作する第 2 MOS トランジスタと；一端が第 1 スイッチを介して第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分するキャパシタと；ゲートが前記キャパシタの一端に接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと；一端が第 3 MOS トランジスタの第 2 電極に接続され他端が出力信号線に接続された第 2 スイッチとから成り、第 1 スイッチを ON 状態にして前記キャパシタへ第 2 MOS トランジスタの出力電流を供給して信号の積分を行ない、第 1 スイッチを OFF した状態で第 2 スイッチを ON して前記キャパシタの信号を第 3 MOS トランジスタで増幅して出力信号線へ導出し、その後、第 1 スイッチを ON 状態にして第 2 MOS トランジスタの第 1 電極に印加される前記クロックのリセット電圧期間に第 2 MOS トランジスタと第 1 スイッチを通して前記キャパシタの初期化を行なうようになっている。

【0022】この構成では、キャパシタの初期化（リセット）はキャパシタの電荷が第 1 スイッチと第 2 MOS トランジスタを通して放電することにより行なわれる。

【0023】また、請求項 17 に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッシュヨルド領域で動作する第 1 MOS トランジスタと；ゲートが第 1 MOS トランジスタのゲートに接続され第 1 電極にクロックが印加されサブスレッシュヨルド領域で動作する第 2 MOS トランジスタと；一端が第 1 スイッチを介して第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分するキャパシタと；ゲートが前記キャパシタの一端に接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと；一端が前記キャパシタの一端に接続され他端が直流電圧に接続されゲートにリセット信号が入力される第 4 MOS トランジスタと；一端が第 3 MOS トランジスタの第 2 電極に接続され他端が出力信号線に接続された第 2 スイッチとから成り、第 1 スイッチを OFF して前記キャパシタの信号を第 3 MOS トランジスタで増幅して出力信号線へ読み出しているときに第

10

20

30

40

50

2 MOS トランジスタの第 2 電極のクロックのリセット電圧期間に前記第 2 MOS トランジスタの第 2 電極に係る p n 接合容量をリセットし、前記クロックの他のレベル期間に前記 p n 接合容量への信号の積分を開始させ、前記キャパシタの信号の読み出し終了後に第 1 スイッチを ON させて前記 p n 接合容量の蓄積電荷を前記キャパシタへ移送するとともに該キャパシタの積分を続行するようになっている。

【0024】また、請求項 18 に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッショルド領域で動作する第 1 MOS トランジスタと；ゲートが第 1 MOS トランジスタのゲートに接続され第 1 電極に直流電圧が印加されサブスレッショルド領域で動作する第 2 MOS トランジスタと；一端が第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分する第 1 キャパシタと；一端が第 1 キャパシタの一端に接続された第 1 スイッチと；第 1 スイッチの他端に一端が接続され他端が直流電圧に接続された第 2 キャパシタと；第 2 キャパシタの前記一端にゲートが接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと；第 2 キャパシタの一端に第 1 電極が接続され第 2 電極が直流電圧に接続されゲートにリセット信号が入力される第 4 MOS トランジスタと；一端が第 3 MOS トランジスタの第 2 電極に接続され他端が出力信号線に接続された第 2 スイッチとから成り、第 1 スイッチを OFF 状態にして第 2 キャパシタの信号を第 3 MOS トランジスタで増幅して出力信号線へ読み出しているときに第 1 キャパシタで次の積分を開始し、前記読み出し終了後、第 4 MOS トランジスタを ON して第 2 キャパシタをリセットした後、第 1 スイッチを ON して第 1 キャパシタの電荷を第 2 キャパシタへ転送するとともに第 2 キャパシタの積分を続行するようになっている。

【0025】また、請求項 19 に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッショルド領域で動作する第 1 MOS トランジスタと；ゲートが第 1 MOS トランジスタのゲートに接続され第 1 電極にクロックが印加されサブスレッショルド領域で動作する第 2 MOS トランジスタと；一端が第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分する第 1 キャパシタと；一端が第 1 キャパシタの一端に接続された第 1 スイッチと、第 1 スイッチの他端に一端が接続され他端が直流電圧に接続された第 2 キャパシタと；第 2 キャパシタの一端にゲート

が接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと；一端が第 3 MOS トランジスタの第 2 電極に接続され他端が出力信号線に接続された第 2 スイッチとから成り、第 1 キャパシタで積分された電圧を第 1 スイッチを ON して第 2 キャパシタに転送することで第 1 キャパシタのリセットを行ない、次いで第 1 スイッチを OFF して第 2 キャパシタの電荷に基づく信号を第 3 MOS トランジスタで増幅して前記出力信号線へ読み出しているときに第 1 キャパシタで次の積分を行なうようになっている。

【0026】また、請求項 20 に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第 1 電極とゲート電極が接続されサブスレッショルド領域で動作する第 1 MOS トランジスタと；ゲートが第 1 MOS トランジスタのゲートに接続され第 1 電極にクロックが印加されサブスレッショルド領域で動作する第 2 MOS トランジスタと；一端が第 2 MOS トランジスタの第 2 電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を積分する第 1 キャパシタと；一端が第 1 キャパシタの一端に接続された第 1 スイッチと；第 1 スイッチの他端に一端が接続され他端が直流電圧に接続された第 2 キャパシタと；第 2 キャパシタの一端にゲートが接続され第 1 電極が直流電圧に接続されて増幅器として動作する第 3 MOS トランジスタと；第 2 キャパシタの一端に第 1 電極が接続され第 2 電極が直流電圧に接続されゲートにリセット電圧が印加される第 4 MOS トランジスタと；一端が第 3 MOS トランジスタの第 2 電極に接続され他端が出力信号線に接続された第 2 スイッチとから成り、第 1 スイッチを OFF した状態で第 2 キャパシタの信号を第 3 MOS トランジスタで増幅して読み出しているときに第 2 MOS トランジスタの第 2 電極に印加されるクロックのリセット電圧レベル期間に第 1 キャパシタをリセットし、前記クロックの他のレベル期間に第 1 キャパシタの積分を開始し、読み出し終了後第 4 MOS トランジスタを ON して第 2 キャパシタをリセットし、次に第 1 スイッチを ON して第 1 キャパシタの電荷を第 2 キャパシタへ転送するとともに第 2 キャパシタの積分を継続するようになっている。

【0027】また、請求項 21 に記載の発明では、請求項 12～請求項 20 のいずれかに記載の固体撮像装置において、前記画素に対し前記出力信号線を介して接続され前記第 3 MOS トランジスタのドレイン側で前記第 3 MOS トランジスタの負荷抵抗を成す MOS トランジスタを備えている。

【0028】また、請求項 22 に記載の発明では、請求項 12～請求項 15 のいずれかに記載の固体撮像装置において、画素マトリクスの列ごとに、その列に含まれる各画素の第 5 MOS トランジスタに接続された第 1 電極

と、直流電圧に接続された第2電極と、直流電圧に接続されたゲートとを有する抵抗用MOSトランジスタをさらに備えたことを特徴とする。

【0029】また、請求項23に記載の発明では、請求項16～請求項20のいずれかに記載の固体撮像装置において、画素マトリクス列ごとに、その列に含まれる各画素の第2スイッチに接続された第1電極と、直流電圧に接続された第2電極と、直流電極に接続されたゲートとを有する抵抗用MOSトランジスタをさらに備えたことを特徴とする。

【0030】

【発明の実施の形態】以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図1は本発明の一実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2・・・、4-nや出力信号線6-1、6-2・・・、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略し、図3以降の各実施形態において示している。

【0031】出力信号線6-1、6-2、・・・、6-mごとにnチャンネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧 $V_{SS'}$ のライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0032】画素 $G_{11} \sim G_{mn}$ には、後述するように、それらの画素で発生した光電荷に基づく信号を増幅して出力する増幅用の第3MOSトランジスタT3が設けられている。その増幅用のMOSトランジスタT3と上記MOSトランジスタQ1との接続関係は図2(a)のようになる。ここで、MOSトランジスタQ1のソースに接続される直流電圧 $V_{SS'}$ と、第3MOSトランジスタT3のドレインに接続される直流電圧 $V_{DD'}$ との関係は $V_{DD'} > V_{SS'}$ であり、直流電圧 $V_{SS'}$ は例えばグラウンド電圧（接地）である。この回路構成は上段のMOSトランジスタT3のゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流電圧が常時印加される。このため下段のMOSトランジスタQ1は抵抗と等価であり、図2(a)の回路はソースフォロア型の増

幅回路となっている。この場合、MOSトランジスタT3から増幅出力されるのは電流であると考えてよい。

【0033】MOSトランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように各実施形態の画素内にはスイッチ用の第5MOSトランジスタも設けられている。この第5MOSトランジスタT5も含めて表わすと、図2(a)の回路は正確には図2(b)のようになる。即ち、第5MOSトランジスタがMOSトランジスタQ1と第3MOSトランジスタT3との間に挿入されている。ここで、第5MOSトランジスタT5は行の選択を行うものであり、トランジスタQ2は列の選択を行うものである。なお、図1および図2に示す構成は以下に説明する第1実施形態～第9実施形態に共通の構成である。いずれにしても、図2のように構成することにより信号のゲインを大きく出力することができる。

【0034】従って、画素がダイナミックレンジ拡大のために光電流を対数変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が楽になる。また、増幅回路の負荷抵抗部分を構成するトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0035】以下、各実施形態を画素部分の構成を示して説明する。尚、以下の各実施形態では、信号を第3MOSトランジスタT3で増幅して出力信号線へ導出する旨、説明しているが、正確には第3MOSトランジスタT3と上述の負荷抵抗用のMOSトランジスタQ1との組み合わせによって増幅するものであることは理解されるべきである。なお、本明細書において、「直流電圧へ接続」という場合、グラウンド電圧への接続、すなわち「接地」をも含むものとする。以下、各実施形態を画素部分の構成を示して説明する。

【0036】〈第1実施形態〉図3において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードは第1のMOSトランジスタT1のドレインとゲート、及び第2のMOSトランジスタT2のゲートに接続されている。第2のMOSトランジスタT2のソースは第3のMOSトランジスタT3のゲート、及び第4のMOSトランジスタT4のドレインに接続され、第3のMOSトランジスタT3のソースは第5のMOSトランジスタT5のドレインに接続されている。第5のMOSトランジスタT5のソースは出力信号線Vout（このVoutは図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。

【0037】また、pnフォトダイオードPDのカソー

ドと第2のMOSトランジスタT2のドレイン、及び第3のMOSトランジスタT3のドレインには直流電圧VDDが印加されるようになっている。一方、第1のMOSトランジスタT1のソースには直流電圧Vssが、第2のMOSトランジスタT2のソースにはキャパシタCを介して同じく直流電圧Vssが印加されており、第4のMOSトランジスタT4のソースには直流電圧VRSが印加されている。第1、第2のMOSトランジスタT1、T2はいずれもサブスレッショルド領域で動作するようにバイアスされている。

【0038】今、フォトダイオードPDに光が当たると光電流が発生し、第1MOSトランジスタT1のゲートには、MOSトランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、キャパシタCには光電流の積分値を対数変換した値と同等の電荷が蓄積される。ここで第5MOSトランジスタT5のゲートにパルスΦVを与えて、該MOSトランジスタT5をONにするとキャパシタCへ蓄積された電荷に比例した電流が第3、第5MOSトランジスタT3、T5を通り、出力信号線Voutへ導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。信号読み出し後は第5MOSトランジスタT5をOFFにして第4MOSトランジスタT4をONすることでキャパシタC及び第3MOSトランジスタT3のゲート電圧を初期化させることができる。

【0039】〈第2実施形態〉図4に示すように第2実施形態では、第2MOSトランジスタT2のドレインにクロックΦDを与えることによってキャパシタC及び第3MOSトランジスタT3のゲート電圧をリセット（初期化）するようにし、それによって第4MOSトランジスタT4を削除した構成となっている。その他の構成は第1実施形態（図3）と同一である。尚、クロックΦDのハイレベル期間では、キャパシタCに積分が行なわれ、ローレベル期間では、キャパシタCの電荷がMOSトランジスタT2を通して放電され、キャパシタCの電圧及び第3MOSトランジスタT3のゲートは略クロックΦDのローレベル電圧になる（リセット）。この第2実施形態では、第4MOSトランジスタT4を省略できる分、構成がシンプルになる。

【0040】〈第3実施形態〉図5に示すように、第3実施形態は、第1実施形態（図3）に対し第2MOSトランジスタT2とキャパシタCとの間にnチャンネル型の第6MOSトランジスタT6をスイッチとして挿入した点が特徴となっている。この第6MOSトランジスタT6のドレインは第2MOSトランジスタT2のソースに接続され、ソースはキャパシタCに接続され、ゲートには積分時間制御電圧（スイッチング電圧）ΦINTが印加されるようになっている。積分時間制御電圧ΦINTをハイレベルにして第6MOSトランジスタT6をONし

た状態でキャパシタCの積分動作が行なわれる。そして、キャパシタCの信号を読み出す際には、積分時間制御電圧ΦINTをローレベルにして該第6MOSトランジスタT6をOFFにした状態で、第5MOSトランジスタT5をONし、第3、第5MOSトランジスタT3、T5を通して出力信号線Voutへ読み出す。

【0041】信号読み出し後は、第5MOSトランジスタT5をOFFにし、且つ第6MOSトランジスタT6をOFFにした状態で第4MOSトランジスタT4をONさせることによってキャパシタC及び第3MOSトランジスタT3のゲート電圧のリセット（初期化）を行なう。しかる後、第6MOSトランジスタT6をONしてキャパシタCによる積分を行なう。この第3実施形態では、二次元に配置された全ての画素の第6MOSトランジスタT6のゲートに同時刻、同時間だけパルスを与えると全ての画素が同時刻、同時間だけ積分された電荷を各画素のキャパシタCに蓄積することができる。

【0042】〈第4実施形態〉図6に示すように、第4実施形態は第1実施形態（図3）に対して、第4MOSトランジスタT4を省略するとともに、第2MOSトランジスタT2のドレインにクロックΦDを与えるようにし、且つその第2MOSトランジスタのソースとキャパシタC間に第6MOSトランジスタT6をスイッチとして挿入した点が相違しており、その他の構成は同一である。第6MOSトランジスタT6はドレインが第2MOSトランジスタT2のソースに接続され、ソースがキャパシタに接続され、ゲートには積分時間制御電圧ΦINTが印加されるようになっている。

【0043】フォトダイオードPDに光が当たると光電流が発生し、MOSトランジスタT1のゲートには、MOSトランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、キャパシタCには光電流の積分値を対数変換した値と同等の電荷が蓄積されるが、ここで2次元に配置されたすべての画素の第6MOSトランジスタT6のゲートに同時刻、同時間だけONさせるパルスを与えるとすべての画素が同時刻、同時間だけ積分された電荷を各画素のキャパシタCにそれぞれ蓄積することができる。

【0044】次に第5MOSトランジスタT5のゲートにパルスΦVを与え、第5MOSトランジスタT5をONにすると第3MOSトランジスタT3のゲートへ蓄積された電荷（この電荷はキャパシタCの電荷量に依存している）に比例した電流が第3、第4MOSトランジスタT3、T4を通り、信号出力線Voutへ導出される。このようにして入射光量の対数値に比例した信号を読み出すことができる。信号読み出し後は第5MOSトランジスタT5をOFFにし、第6MOSトランジスタT6をONにして第2MOSトランジスタT2のドレインにキャパシタCの初期化のためのクロックΦDを与えることでキャパシタC及び第3MOSトランジスタT3のゲ

10

20

30

40

50

ート電圧を初期化させることができる。

【0045】〈第5実施形態〉図7に示すように、第5実施形態は第3実施形態（図5）に対し、第2MOSトランジスタT2のドレインにクロックΦDを与えるようにしている点が主に相違している。尚、Csは第2MOSトランジスタT2のソース（第6MOSトランジスタT6のドレイン）に関係するpn接合容量である。

【0046】なお、前記接合容量Csは図23に示すように、n型半導体基板100に形成したPウェル層101と第2MOSトランジスタT2のソース領域102との間に形成される。ただし、このソース領域102は第6MOSトランジスタT6のドレイン領域105と兼用になっている。図23において、103は第2MOSトランジスタT2のドレイン領域であり、また106は第6MOSトランジスタT6のソース領域である。104、107はそれぞれ第2、第6MOSトランジスタT2、T6のゲート電極である。

【0047】フォトダイオードPDに光が当たって光電流が発生すると第1MOSトランジスタT1のゲートには、MOSトランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、キャパシタCには光電流の積分値を対数変換した値と同等の電荷が蓄積されるが、ここで2次元に配置されたすべての画素の第6MOSトランジスタT6のゲートに同時刻、同時間だけパルスを与えるとすべての画素が同時刻、同時間だけ積分された電荷を各画素のキャパシタCにそれぞれ蓄積することができる。

【0048】次に第5MOSトランジスタT5のゲートにパルスΦVを与えて、該第5MOSトランジスタT5をONにすると、第3MOSトランジスタT3のゲートへ蓄積された電荷に比例した電流が第3、第5MOSトランジスタT3、T5を通り、出力信号線Voutへ導出される。このようにして入射光量の対数値に比例した信号を読み出すことができる。また、各画素の積分終了時（第6MOSトランジスタT6がOFFになった後）に第2MOSトランジスタT2のドレインにクロックΦDのローレベルを与え、この第2のMOSトランジスタのソース（第3のMOSトランジスタのドレイン）の初期化、即ち接合容量Csの初期化（リセット）を行った後、クロックΦDがハイレベルになったときから接合容量Csへの積分を開始し、信号読み出し期間に次のフレームの信号を接合容量Csに蓄積しておく。

【0049】そして、全画素の信号（現フレームの信号）を読み出した後、第4MOSトランジスタT4をONにしてキャパシタC及び第3MOSトランジスタT3のゲート電圧を初期化させる。次に、第4MOSトランジスタT4をOFFにして第6MOSトランジスタT6をONさせ接合容量Csに蓄積された電荷をキャパシタCに移し、キャパシタCの積分を継続させる。これにより同時刻、同時間の積分機能を持ち、且つ動画にも対応

できる。特に、積分時間の一部（接合容量Csへの積分）を読み出しと並行して行なうことにより撮像時間を短縮でき、TVレートでの動画撮像が可能となる。

【0050】〈第6実施形態〉図8に示すように、第6実施形態は第1実施形態（図3）に比し、第4MOSトランジスタT4のゲートにリセット電圧として所定の直流電圧RST（DC）を常時印加するようにした点が相違しており、その他の構成は第1実施形態と同一である。本実施形態では、常時ONする第4MOSトランジスタT4が抵抗と等価になり、キャパシタに所定値の抵抗が接続されていることになる。このためキャパシタの初期値が、その抵抗によって決まることになる。換言すれば、第4MOSトランジスタT4のゲート電極に加える直流電圧を可変することによって初期値を調整できる。

【0051】〈第7実施形態〉図9に示すように、第7実施形態は第1実施形態（図3）に対し、キャパシタとして2つのキャパシタC1、C2が設けられている点と、それらの間にnチャンネルMOSトランジスタより成る第6MOSトランジスタT6をスイッチとして接続している点が相違し、その他の構成は第1実施形態と同様である。図9において、第2MOSトランジスタT2のソースと直流電圧Vssとの間に第1キャパシタC1が接続されその第1キャパシタC1の一端と第2MOSトランジスタT2のソースに第6MOSトランジスタT6のドレインが接続されている。そして、この第6MOSトランジスタT6のソースと直流電圧Vssとの間に第2のキャパシタC2が接続されている。また、この第2キャパシタC2と第6MOSトランジスタT6のソースに増幅用の第3MOSトランジスタT3のゲートが接続されている。

【0052】フォトダイオードPDに光が当たって光電流が発生すると第1MOSトランジスタT1のゲートには、MOSトランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、第1キャパシタC1には光電流の積分値を対数変換した値と同等の電荷が蓄積される。そして、第6MOSトランジスタT6をONすると、第1キャパシタC1で積分された電荷が第2キャパシタC2へ移送される。このとき、第2キャパシタC2の容量を第1キャパシタC1の容量に比し充分大きく選んでおけば、第1キャパシタC1の電荷は殆ど第2キャパシタC2へ移送される。従って、第1キャパシタC1について見れば、リセットされたと等価である。電荷を第2キャパシタC2へ転送後、積分を続行する。

【0053】次に、第6MOSトランジスタT6をOFFにし、第5MOSトランジスタT5のゲートにパルスΦVを与えて、第5MOSトランジスタT5をONにすると第3MOSトランジスタT3のゲートへ蓄積（この電荷は第2キャパシタC2の電荷量に依存している）さ

れた電荷に比例した電流が第 3、第 5 MOS トランジスタ T 3、T 5 を通り、出力信号線 Vout へ導出される。このようにして入射光量の対数値に比例した出力電流を読み出すことができる。信号読み出し後は第 5 MOS トランジスタ T 5 を OFF にして第 4 MOS トランジスタ T 4 を ON することで第 2 キャパシタ C 2 及び MOS トランジスタ T 3 のゲート電圧を初期化させることができる。この実施形態では、全ての画素の第 6 MOS トランジスタ T 6 の制御を同一に行なうことにより、全画素の積分タイミング（従って積分時間）を同一にできる。

【0054】〈第 8 実施形態〉図 10 に示すように、第 8 実施形態では、第 7 実施形態（図 9）に対し、第 2 MOS トランジスタ T 2 のドレインに直流電圧がクロック ΦD を印加することによって第 4 MOS トランジスタ T 4 を削除している点が第 7 実施形態と相違しているだけで、その他の接続構成は同一である。この実施形態では、第 1 キャパシタ C 1 の積分、その積分電荷の第 2 キャパシタ C 2 への転送、及び第 2 キャパシタ C 2 の内容の読み出しについては第 7 実施形態と同じである。

【0055】信号の読み出しが終わってキャパシタ C 2 のリセットを行なうとき、第 6 MOS トランジスタ T 6 を ON した状態で第 2 MOS トランジスタ T 2 のドレインにクロック ΦD のローレベル電圧を与えることによって第 1 キャパシタ C 1 の電荷が第 2 MOS トランジスタ T 2 を通して放電されるとともに、第 2 キャパシタ C 2 の電荷が第 6 MOS トランジスタ T 6 及び第 2 MOS トランジスタ T 2 を通して放電され、第 1、第 2 キャパシタ C 1、C 2 が同様に前記クロック ΦD のローレベル電圧に設定（初期化）される。

【0056】〈第 9 実施形態〉図 11 に示すように、第 9 実施形態では、第 7 実施形態（図 9）に対し、第 2 MOS トランジスタ T 2 のドレインに直流電圧でなく、クロック ΦD を印加するようにしている点が相違しているだけで、他の部分は第 7 実施形態と同一である。この実施形態では、第 1、第 2 キャパシタ C 1、C 2 のリセット（初期化）を互いに独立に行なう。即ち、第 1 キャパシタ C 1 のリセットは第 2 MOS トランジスタ T 2 のドレインにクロック ΦD のローレベル電圧を印加することによって行ない、第 2 キャパシタ C 2 のリセットは第 4 MOS トランジスタ T 4 を ON して行なう。

【0057】フォトダイオード PD に光が当たって光電流が発生すると第 1 MOS トランジスタ T 1 のゲートには、MOS トランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、第 1 キャパシタ C 1 には光電流の積分値を対数変換した値と同等の電荷が蓄積される。従って、全ての第 2 MOS トランジスタ T 2 のドレインに同時刻、同時間だけクロック ΦD のローレベルを与えてキャパシタ C 1 への積分を開始し、その後全ての第 6 MOS トランジスタ T 6 を ON すると第 1 キャパシタ C 1 で積

分された電荷が第 2 キャパシタ C 2 へ移送される。ここで 2 次元に配置されたすべての画素の第 6 MOS トランジスタ T 6 のゲートに同時刻、同時間だけパルスを与えるとすべての画素が同時刻、同時間だけ積分された電荷を各画素の第 2 キャパシタ C 2 にそれぞれ蓄積することができる。

【0058】次に第 5 MOS トランジスタ T 5 のゲートにパルス ΦV を与え、該 MOS トランジスタ T 5 を ON にすると第 3 MOS トランジスタ T 3 のゲートへ蓄積された電荷（この電荷は第 2 キャパシタ C 2 の電荷量に依存している）に比例した信号が第 3、第 5 MOS トランジスタ T 3、T 5 を通り、出力信号線 Vout へ導出される。このようにして入射光量の対数値に比例した信号を読み出すことができる。また、各画素の積分終了時（第 6 MOS トランジスタ T 6 が OFF になった後）に第 2 MOS トランジスタ T 2 のドレインにクロック ΦD のローレベル電圧を与え、第 1 キャパシタ C 1 の初期化を行った後、信号読み出し期間に次のフレームの信号を第 1 キャパシタ C 1 に蓄積しておく。

【0059】そして、全画素の信号を読み出した後、第 4 MOS トランジスタ T 4 を ON にして第 2 キャパシタ C 2 及び第 3 MOS トランジスタ T 3 のゲート電圧を初期化させる。次に、第 6 MOS トランジスタ T 6 を ON させ第 1 キャパシタ C 1 に蓄積された電荷を第 2 キャパシタ C 2 に移し、積分を継続させる。これにより全画素が同時刻、同時間の積分機能を持ち、且つ動画にも対応できる。

【0060】以上説明した第 1～第 9 実施形態は、画素内の能動素子である MOS トランジスタ T 1～T 6 を全て n チャンネル型の MOS トランジスタで構成しているが、これらの MOS トランジスタ T 1～T 6 を全て p チャンネル型の MOS トランジスタで構成してもよい。図 14～図 22 には、上記第 1～第 9 実施形態を p チャンネル MOS トランジスタで構成した例である第 10 実施形態～第 18 実施形態を示している。そのため図 12～図 22 では接続の極性や印加電圧の極性が逆になっている。例えば、図 14（第 10 実施形態）において、フォトダイオード PD はアノードが直流電圧 VDD に接続され、カソードが第 1 MOS トランジスタ T 1 のドレインとゲートに接続され、また第 2 MOS トランジスタのゲートに接続されている。第 1 MOS トランジスタ T 1 のソースは直流電圧 Vss に接続されている。

【0061】この場合、直流電圧 Vss と VDD は、 $V_{ss} > V_{DD}$ となっており、図 3（第 1 実施形態）と逆である。また、キャパシタ C の出力電圧は初期値が高い電圧で、積分によって降下する。また、第 4 MOS トランジスタ T 4 や第 5 MOS トランジスタ T 5 を ON させるときには、低い電圧をゲートに印加する。以上の通り、n チャンネル型の MOS トランジスタを使った場合に比し、p チャンネル型 MOS トランジスタを用いる場合

10

20

30

40

50

は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図 1 4 ~ 図 2 2 については図面で示すのみで、その構成や動作についての説明は省略する。

【0062】尚、これらの第 1 0 ~ 第 1 8 実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 1 2 に示し、その電圧増幅回路部分を抜き出して図 1 3 に示している。図 1 2 については、図 1 と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。図 1 2 に示すように、列方向に配列された出力信号線 6-1、6-2、・・・、6-m に対して p チャンネル MOS トランジスタ Q 1 と p チャンネル MOS トランジスタ Q 2 が接続されている。MOS トランジスタ Q 1 のゲートは直流電圧線 7 に接続され、ドレインは出力信号線 6-1 に接続され、ソースは直流電圧 V_{SS}' のライン 8 に接続されている。一方、MOS トランジスタ Q 2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。ここで、トランジスタ Q 1 は画素内の p チャンネル型の第 3 MOS トランジスタ T 3 と共に図 1 3 (a) に示すような増幅回路を構成している。

【0063】この場合、MOS トランジスタ Q 1 は第 3 MOS トランジスタ T 3 の負荷抵抗となっている。従って、このトランジスタ Q 1 のソースに接続される直流電圧 V_{SS}' と、第 3 MOS トランジスタ T 3 のドレインに接続される直流電圧 V_{DD}' との関係は、 $V_{DD}' < V_{SS}'$ であり、直流電圧 V_{DD}' は例えばグラウンド電圧（接地）である。トランジスタ Q 1 のドレインはトランジスタ T 3 に接続され、ゲートには直流電圧が印加されている。p チャンネル MOS トランジスタ Q 2 は水平走査回路 3 によって制御され、増幅回路の出力を最終的な信号線 9 へ導出する。画素内の第 5 MOS トランジスタ T 5 を考慮すると、図 1 3 (a) の回路は図 1 3 (b) のように表わされる。

【0064】

【発明の効果】以上説明したように本発明によれば、キャパシタで積分するようにしているので、光源の変動成分やノイズ成分を除去できるとともに、増幅により所望の信号が大きく得られるので、 S/N が向上した高品質の撮像信号を得ることができるとともに、後続回路での信号処理が楽になる。また、光電流を対数変換することによりダイナミックレンジが広がる。また、各画素ごとに光電変換手段とキャパシタと増幅器と導出手段が設けられているので、より正確に安定した信号読み出しが可能である。更に、能動素子を MOS トランジスタで構成することにより周辺の処理回路（A/D コンバータ、デジタル・システム・プロセッサ、メモリ）等と共にワンチップ上に形成することができ、例えばワンチップカメラの実現に有用となる。

【図面の簡単な説明】

【図 1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図

【図 2】図 1 の一部の回路図

【図 3】本発明の第 1 実施形態の 1 画素の構成を示す回路図

【図 4】本発明の第 2 実施形態の 1 画素の構成を示す回路図

【図 5】本発明の第 3 実施形態の 1 画素の構成を示す回路図

【図 6】本発明の第 4 実施形態の 1 画素の構成を示す回路図

【図 7】本発明の第 5 実施形態の 1 画素の構成を示す回路図

【図 8】本発明の第 6 実施形態の 1 画素の構成を示す回路図

【図 9】本発明の第 7 実施形態の 1 画素の構成を示す回路図

【図 1 0】本発明の第 8 実施形態の 1 画素の構成を示す回路図

【図 1 1】本発明の第 9 実施形態の 1 画素の構成を示す回路図

【図 1 2】画素内の能動素子を p チャンネル MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図

【図 1 3】図 1 2 の一部の回路図

【図 1 4】本発明の第 1 0 実施形態の 1 画素の構成を示す回路図

【図 1 5】本発明の第 1 1 実施形態の 1 画素の構成を示す回路図

【図 1 6】本発明の第 1 2 実施形態の 1 画素の構成を示す回路図

【図 1 7】本発明の第 1 3 実施形態の 1 画素の構成を示す回路図

【図 1 8】本発明の第 1 4 実施形態の 1 画素の構成を示す回路図

【図 1 9】本発明の第 1 5 実施形態の 1 画素の構成を示す回路図

【図 2 0】本発明の第 1 6 実施形態の 1 画素の構成を示す回路図

【図 2 1】本発明の第 1 7 実施形態の 1 画素の構成を示す回路図

【図 2 2】本発明の第 1 8 実施形態の 1 画素の構成を示す回路図

【図 2 3】上記第 5 実施形態における接合容量の構造を示す図

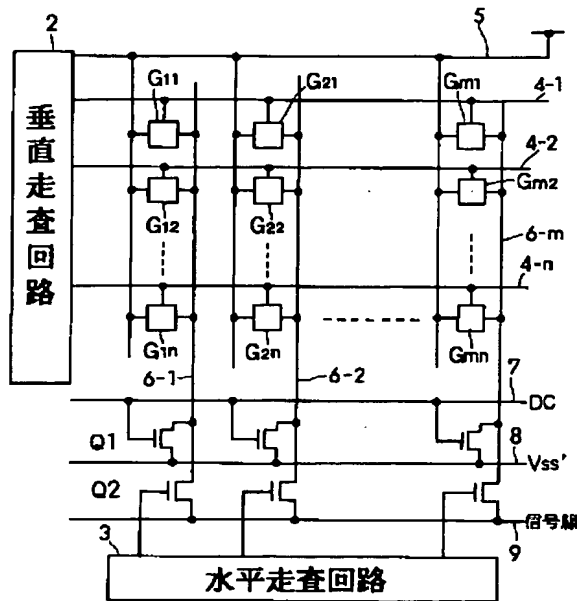
【図 2 4】従来例の 1 画素の構成を示す回路図

【符号の説明】

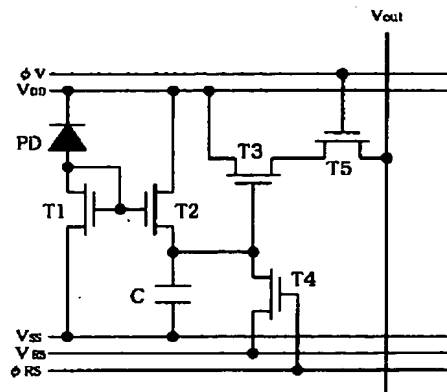
50 G11 ~ Gmn 画素

- 2 垂直走査回路
 3 水平走査回路
 4-1~4-n 行選択線
 6-1~6-m 出力信号線
 PD フォトダイオード

【図1】

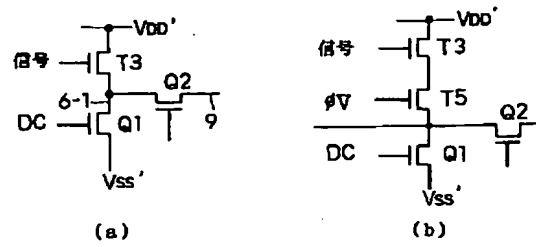


【図3】

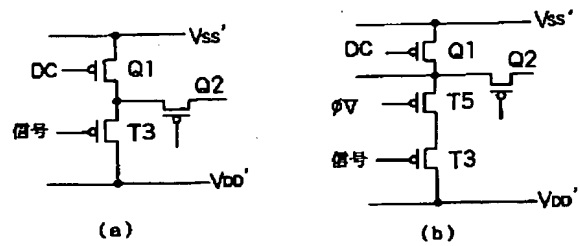


- T1~T6 第1~第6MOSトランジスタ
 C キャパシタ
 C1、C2 第1、第2キャパシタ
 Cs 接合容量

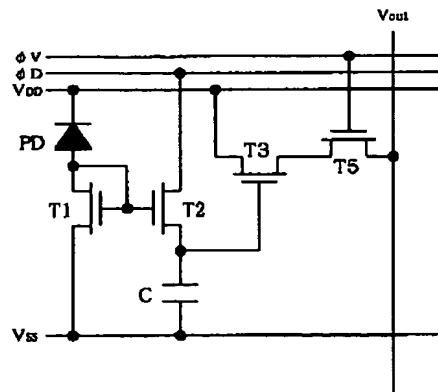
【図2】



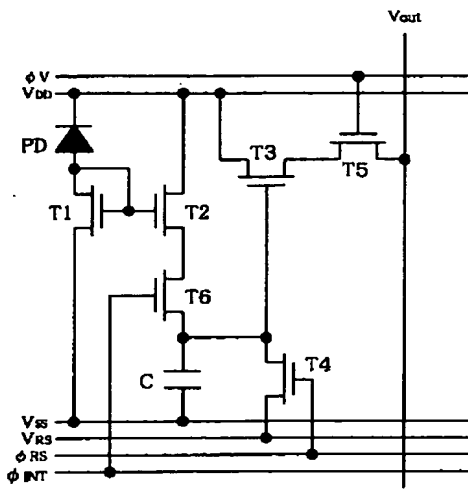
【図13】



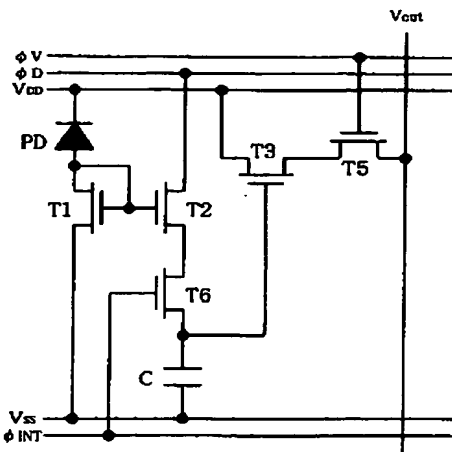
【図4】



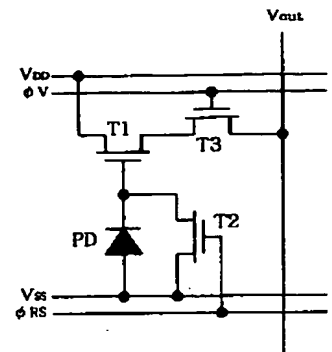
【図 5】



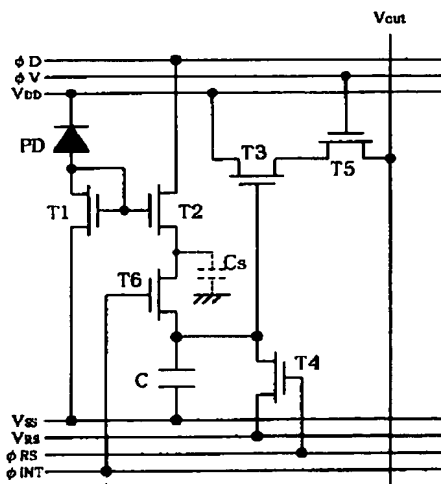
【図 6】



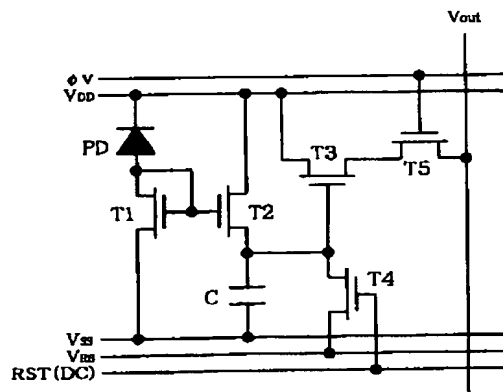
【図 2 4】



【図 7】

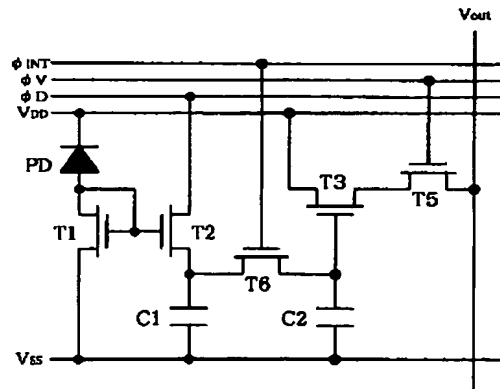
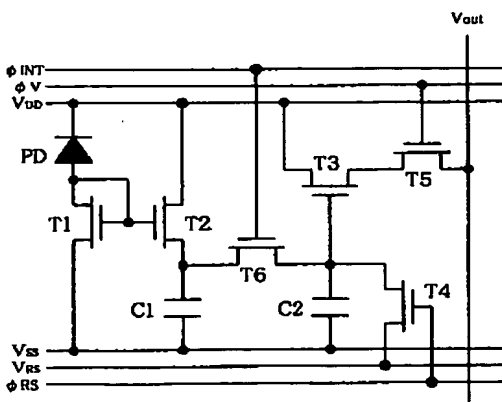


【図 8】

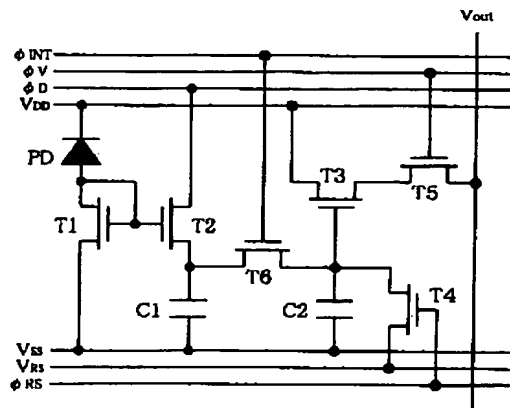


【図 1 0】

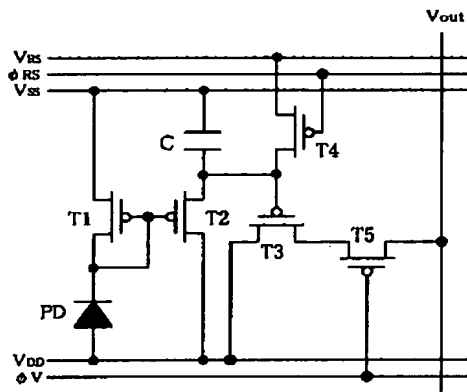
【図 9】



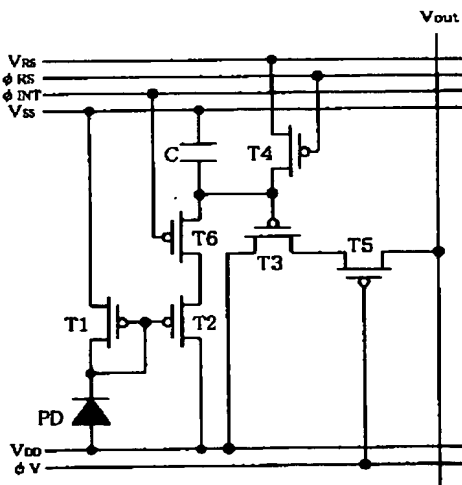
【図 1 1】



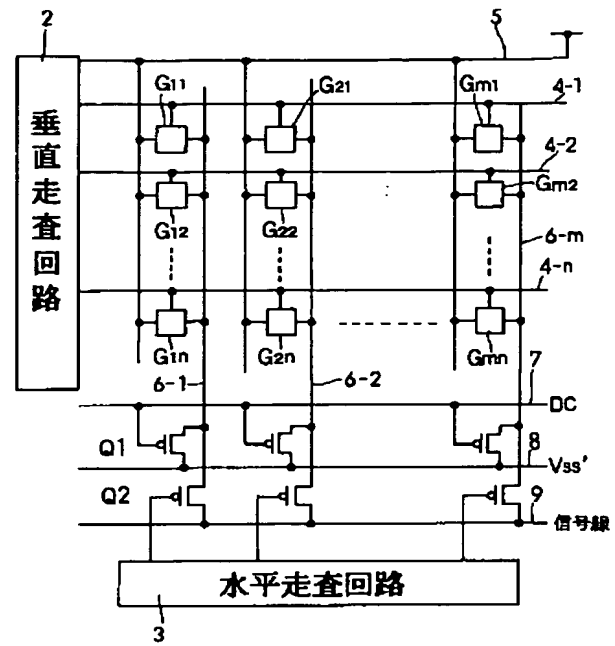
【図 1 4】



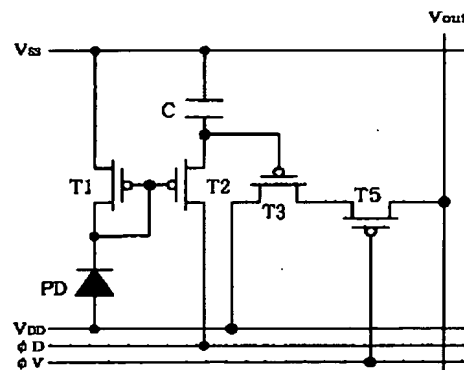
【図 1 6】



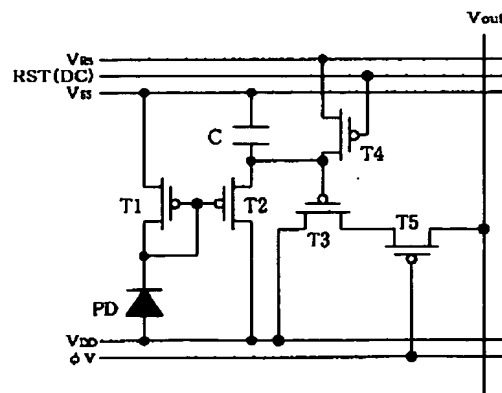
【図 1 2】



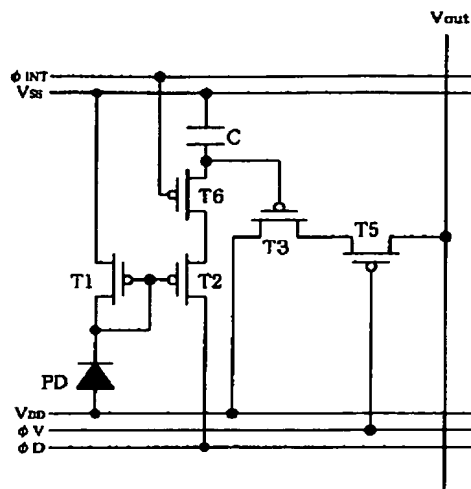
【図 1 5】



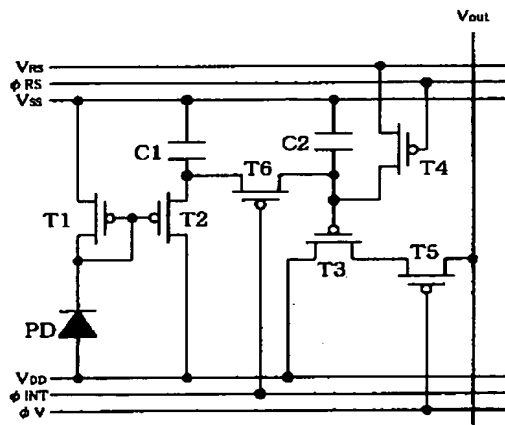
【図 1 9】



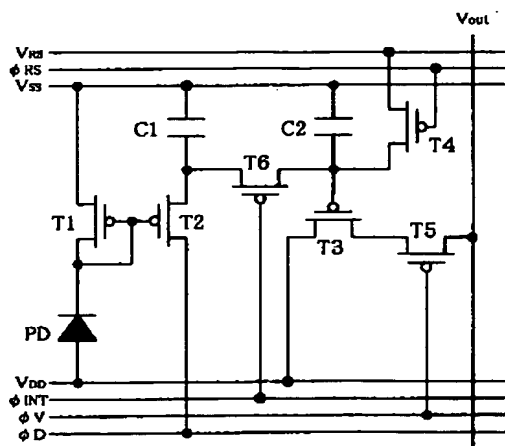
【図 17】



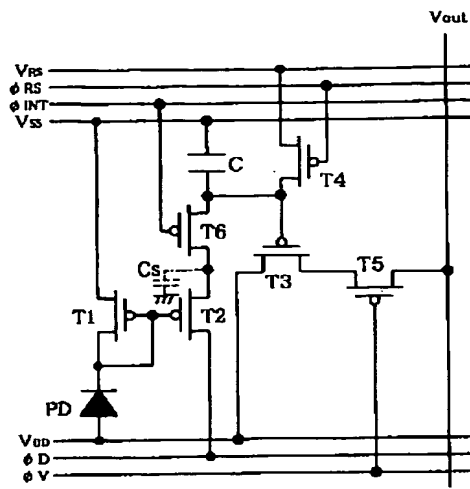
【図 20】



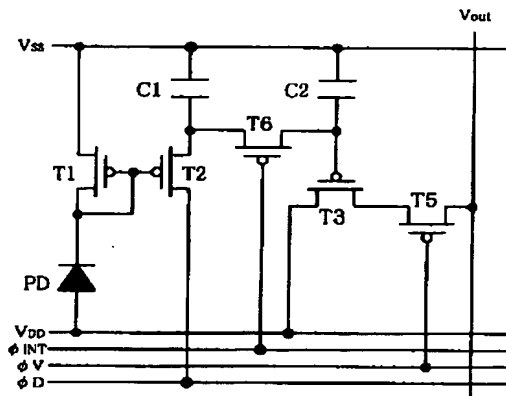
【図 22】



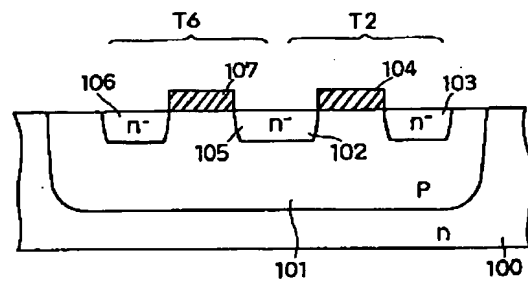
【図 18】



【図 21】



【図 23】



フロントページの続き

(72)発明者 萩原 義雄
大阪市中央区安土町二丁目 3 番13号 大阪
国際ビル ミノルタ株式会社内

(72)発明者 宮武 茂博
大阪市中央区安土町二丁目 3 番13号 大阪
国際ビル ミノルタ株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.